

REC'D 24 MAR 2005

IB/05/50883



WIPO
Europäisches
Patentamt

PCT

European
Patent Office

Office européen
des brevets

Bescheinigung Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

04101185.9 ✓

**PRIORITY
DOCUMENT**

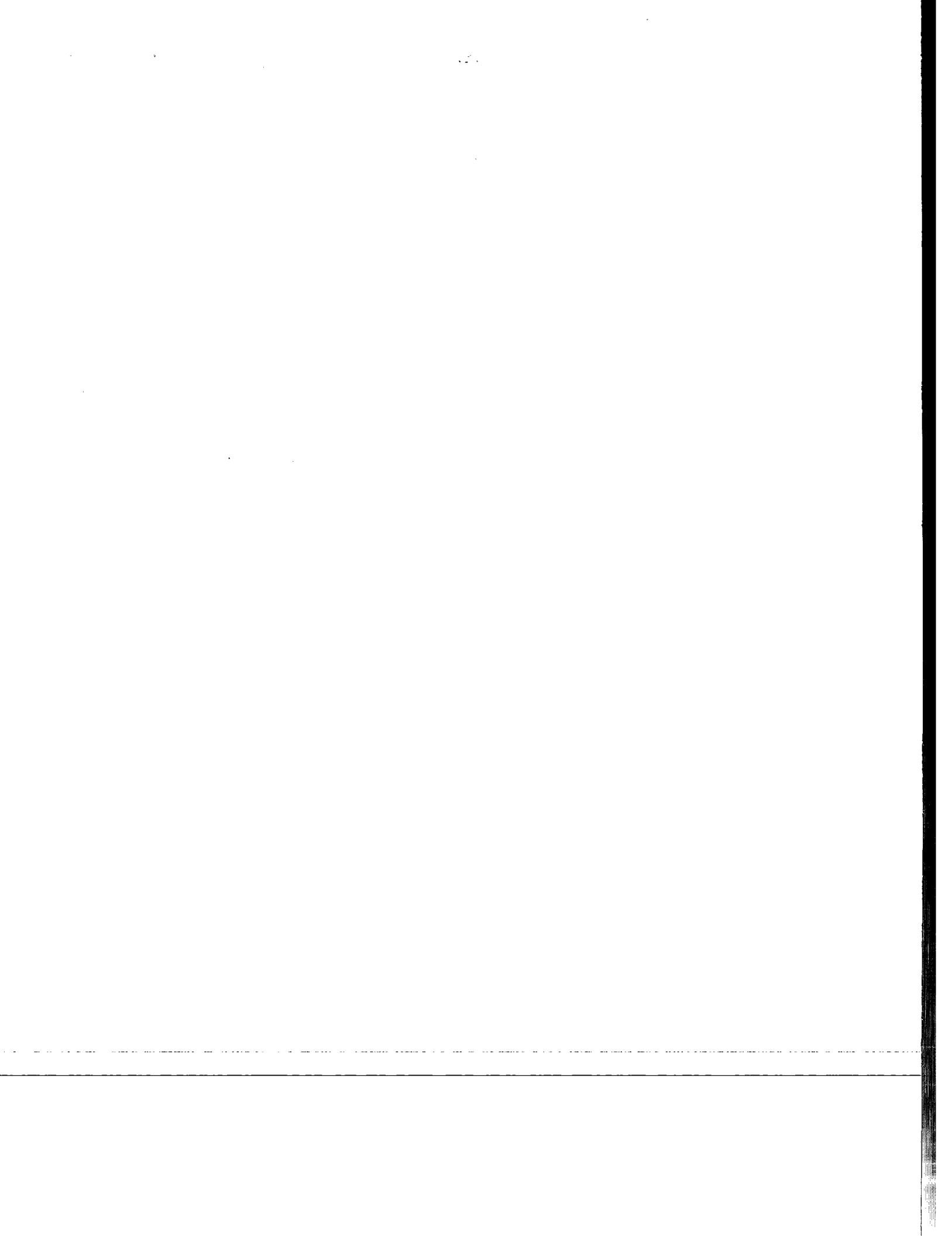
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk





Anmeldung Nr:
Application no.: 04101185.9 ✓
Demande no:

Anmeldetag:
Date of filing: 23.03.04 ✓
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Koninklijke Philips Electronics N.V.
Groenewoudseweg 1
5621 BA Eindhoven
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se referer à la description.)

Werkwijze ter vervaardiging van een halfgeleiderinrichting en daarmee verkregen
halfgeleiderinrichting

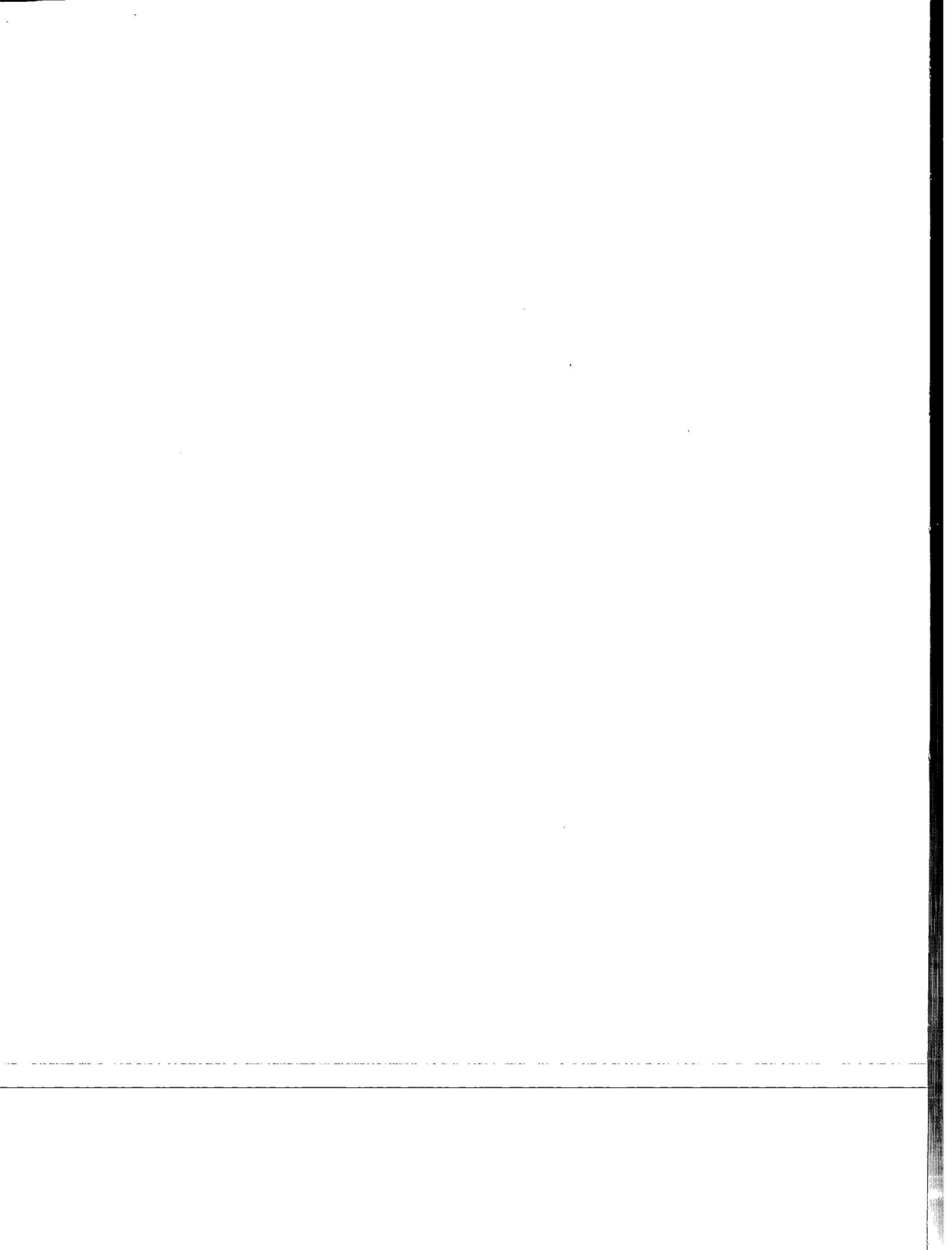
In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignés lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PL PT RO SE SI SK TR LI



Werkwijze ter vervaardiging van een halfgeleiderinrichting en daarmee verkregen halfgeleiderinrichting

De uitvinding heeft betrekking op een werkwijze ter vervaardiging van een halfgeleiderinrichting met een substraat en een halfgeleiderlichaam waarin tenminste een halfgeleiderelement gevormd wordt, waarbij in het halfgeleiderlichaam een halfgeleidereiland gevormd wordt door in het oppervlak van het halfgeleiderlichaam een eerste uitsparing te vormen waarvan de wanden bedekt worden met een diëlectrische laag waarna door middel van onderetsen via de bodem van de eerste uitsparing een lateraal deel 5 van het halfgeleiderlichaam verwijderd wordt onder vorming van een holte in het halfgeleiderlichaam waarboven het halfgeleidereiland gevormd wordt en waarbij een tweede uitsparing in het oppervlak van het halfgeleiderlichaam gevormd wordt waarvan de wanden 10 met een verdere diëlectrische laag bedekt worden en met een van de met de verdere diëlectrische laag bedekte wanden van de tweede uitsparing een zijwand gevormd wordt van het halfgeleidereiland.

Een dergelijke werkwijze is onder meer bijzonder geschikt voor de vervaardiging van bijvoorbeeld halfgeleiderinrichtingen die geïntegreerde vermogens 15 inrichtingen bevatten. Het binnen het halfgeleidereiland gelegen deel van het halfgeleiderlichaam kan dan bijvoorbeeld een MOS (= Metal Oxide Semiconductor) transistor bevatten, terwijl een buiten het halfgeleidereiland gelegen deel van het halfgeleiderlichaam een of meer bipolare transistoren kan bevatten.

20

Een werkwijze van de in de aanhef genoemde soort is bekend uit het Europese octrooischrift EP 1.043.769 dat op 11 oktober 2000 gepubliceerd is onder dat nummer. Daarin wordt beschreven hoe in een silicium halfgeleiderlichaam dat een silicium substraat met daarop een epitaxiale silicium laag een halfgeleidereiland van silicium gevormd wordt 25 door de wanden van twee in het halfgeleiderlichaam gevormde uitsparingen in de vorm van twee evenwijdige zogenaamde trenches te bedekken met een isolerende laag. Door middel van etsen en onderetsen vanuit de bodem van de trenches wordt daartussen het halfgeleidereiland van silicium gevormd.

Aan de kopse zijden van de trenches zijn in het halfgeleiderlichaam isolatie gebieden gevormd in de vorm van LOCOS (= Local Oxidation Of Silicon) gebieden (zie bijvoorbeeld Fig. 8) of zogenaamde trench isolatie gebieden (zie bijvoorbeeld Fig. 9). Het gevormde halfgeleidereiland wordt dan dus aan die zijden begrenst en gedragen door gebieden van siliciumdioxide. Beschreven wordt hoe in het geval van trench isolatie gebieden eerst deze isolatie trenches gevormd worden door etsen, de wanden daarvan bedekt worden met een isolerende laag en deze trenches vervolgens gevuld worden met polykristallijn silicium. Daarna worden de trenches aan weerszijde van het te vormen halfgeleidereiland gevormd zoals beschreven voor het geval waarin LOCOS isolatie gebieden worden toegepast.

Een nadeel van de bekende werkwijze is dat deze relatief omslachtig is aangezien zij veel stappen omvat. Hierdoor is de werkwijze niet alleen relatief duur maar wordt ook de opbrengst aan bruikbare inrichtingen nadelig beïnvloed.

Het doel van de onderhavige uitvindingen is dan ook een werkwijze te verschaffen van de in aanhef genoemde soort die goedkoper is omdat zij minder stappen omvat.

Een werkwijze van de in de aanhef genoemde soort is daartoe volgens de uitvinding daardoor gekenmerkt dat voor de diëlectrische laag en de verdere diëlectrische laag dezelfde diëlectrische laag gekozen wordt, een laterale afmeting van de tweede uitsparing en de dikte van de diëlectrische laag zodanig gekozen worden dat de tweede uitsparing nagenoeg volledig gevuld wordt door de diëlectrische laag en de laterale afmetingen van de eerste uitsparing zodanig gekozen worden dat door de diëlectrische laag de wanden en de bodem van de eerste uitsparing voorzien worden van een uniforme bedekking. De uitvinding berust allereerst op het inzicht dat voor de isolatie van de wanden van de eerste en de tweede uitsparing een en dezelfde isolerende laag gebruikt kan worden. Hierdoor wordt het proces reeds eenvoudiger. Verder berust de uitvinding op het inzicht dat door de dikte van de diëlectrische laag en de breedte van de tweede uitsparing geschikt te kiezen, laatstgenoemde bij de depositie van de diëlectrische laag geheel opgevuld kan worden. Hierdoor wordt het proces nog eenvoudiger. Genoemde keuzes betekenen in de praktijk dat de breedte van de tweede uitsparing ongeveer tweemaal de dikte van de te deponeren diëlectrische laag omvattend of (wat) kleiner dan zo gekozen wordt. Hierbij wordt de breedte van de eerste uitsparing zo (groot) gekozen dat de wanden en de bodem daarvan

op uniforme wijze bedekt worden door de diëlectrische laag zonder dat de vorm van deze uitsparing wordt aangetast en zonder dat deze wordt opgevuld door de diëlectrische laag. Daardoor kunnen in deze eerste uitsparing de wanden bedekkende diëlectrische laagdelen gevormd worden met behulp van een anisotroop etsproces waarbij de vlakke delen van de diëlectrische laag – zoals op de bodem van de eerste uitsparing – weer verwijderd worden terwijl de wanden van de eerste uitsparing bedekt blijven met delen van de diëlectrische laag. De uitvinding berust ten slotte op het inzicht dat bij een dergelijk anisotroop etsproces de diëlectrische laag binnen de tweede uitsparing niet of althans niet noemenswaard wordt aangetast. Aldus kan een werkwijze volgens de uitvinding relatief weinig stappen omvatten 5 en tot een hoge opbrengst aanleiding geven.

10 In een voorkeursuitvoering van een werkwijze volgens de uitvinding wordt dan ook na de vorming van de eerste en tweede uitsparing de diëlectrische laag over het gehele oppervlak van het halfgeleiderlichaam aangebracht waarna door middel van anisotroop etsen de vlakke delen van de diëlectrische laag weer worden verwijderd.

15 Bij voorkeur wordt de tweede uitsparing gevormd als een de eerste uitsparing omgevende ringvormige groef waarbinnen het halfgeleidereiland gevormd wordt en waarbij de laterale afmeting van tweede uitsparing gevormd wordt door de breedte van de groef. Aldus kunnen in een halfgeleiderlichaam gemakkelijk al dan niet aan elkaar grenzende halfgeleidereilanden gevormd worden.

20 In een gunstige uitvoeringsvorm worden voordat de diëlectrische laag wordt aangebracht in het oppervlak van het halfgeleiderlichaam verdere groeven gevormd met ongeveer dezelfde breedte als de groef waardoor het halfgeleidereiland wordt opgedeeld in halfgeleiderdeeleilanden. De opdeling kan zodanig zijn dat de deeleilanden ook elektrisch volledig van elkaar gescheiden zijn maar dat is niet noodzakelijk. Een belangrijk voordeel 25 van deze variant is dat ook de verdere groeven bij de depositie van de diëlectrische laag daardoor volledig opgevuld worden. Aldus vormen deze groeven gevulde ribben die als het ware het halfgeleidereiland op het moment dat de holte in het halfgeleiderlichaam daaronder gevormd is, verstevigen. Hierdoor wordt de kans op (mechanische) schade aan het halfgeleidereiland in dat stadium verkleind.

30 Bij voorkeur is de vorm van de groef in projectie gezien vierkant en zijn de verdere groeven vanuit het midden van de zijden van het vierkant naar de in het centrum gelegen eerste uitsparing gevormd. Aldus kan gemakkelijk een array of matrix van halfgeleidereilanden gevormd worden in het halfgeleiderlichaam.

In een aantrekkelijke variant van een werkwijze volgens de uitvinding wordt het halfgeleiderlichaam gevormd door een halfgeleidersubstraat waarop twee halfgeleiderlagen met een verschillend halfgeleidermateriaal zijn aangebracht. Dit biedt de mogelijkheid om bij de vorming van de holte in het halfgeleiderlichaam het onder de eerste 5 halfgeleiderlaag liggend deel daarvan te verwijderen met een etsmiddel dat selectief is ten opzichte van het materiaal van de eerste halfgeleiderlaag. Op eenzelfde manier kan de eerste halfgeleiderlaag selectief verwijderd worden ten opzichte van de tweede halfgeleiderlaag. Behalve dat het gehele proces hierdoor beter gecontroleerd kan worden bestaat ook aldus de mogelijkheid om halfgeleidereiland(en) met een bijzonder geringe dikte te realiseren.

10 Laatstgenoemde variant kan bijvoorbeeld gerealiseerd worden door op een siliciumsubstraat – met daarop al dan niet een silicium epitaxiale laag – een eerste halfgeleiderlaag van een mengkristal van silicium en germanium aan te brengen en daarop een tweede halfgeleiderlaag van silicium. Samenstelling en dikte van het Si-Ge mengkristal worden daarbij zodanig gekozen dat enerzijds het materiaal maximaal afwijkt van silicium en 15 anderzijds een epitaxiale aangroei van genoemde lagen zonder veel defecten nog steeds mogelijk is.

Bij het vormen van de holte in het halfgeleiderlichaam wordt in deze variant dan ook bij voorkeur gebruik gemaakt van een etsmiddel voor silicium dat selectief is ten opzichte van het halfgeleidermateriaal van de eerste halfgeleiderlaag, i.c. het silicium-germanium mengkristal. In een variant wordt dan na de vorming van de holte, de eerste 20 halfgeleiderlaag verwijderd met behulp van een etsmiddel dat selectief is ten opzichte van het halfgeleidermateriaal van de tweede halfgeleiderlaag. Bij voorkeur wordt het selectief etsen van silicium gestaakt zodra de eerste halfgeleiderlaag bereikt wordt en dus aan de holte grenst, waarna de eerste halfgeleiderlaag selectief verwijderd wordt.

25 Doordat een laterale afmeting van de holte zo groot gekozen wordt dat de holte zich in het halfgeleiderlichaam in die laterale richting uitstrekkt tot voorbij de tweede uitsparing, wordt bereikt dat het halfgeleidereiland volledig (elektrisch) geïsoleerd is van het omringende deel van het halfgeleiderlichaam. Bij de in de vorige alinea als laatste genoemde variant kan de laterale uitbreiding van de holte eenvoudig beperkt worden tot aan de tweede 30 uitsparing, ook bij een rechthoekige geometrie. Het etsen van de eerste halfgeleiderlaag wordt zolang voortgezet dat de holte overal de tweede uitsparing bereikt heeft waar het etsen dan vanzelf stopt.

In een gunstige variant wordt bij de vorming van de holte gebruik gemaakt van een aan de onderzijde van de te vormen holte in het halfgeleiderlichaam gepositioneerde

zogenaamde etsstop laag. In geval van een halfgeleiderlichaam van silicium kan ook daarvoor een laag gebruikt worden die een mengkristal van silicium en germanium bevat.

Bij voorkeur worden na de vorming van de holte(n) de wanden daarvan bedekt met een verdere diëlectrische laag. Deze laag kan door depositie of door een thermische oxidatie gevormd worden. De holte wordt bij voorkeur weer opgevuld met een bij voorkeur hoog-ohmig materiaal, zoals polydox of SIPOS. Polykristallijn silicium vormt een bijzonder geschikt opvulmiddel van de holte omdat de thermische uitzettings coëfficiënt van dat materiaal ongeveer dezelfde is als die van monokristallijn silicium waardoor bij verwarmen en/of afkoelen van het halfgeleiderlichaam problemen vermeden worden.

De uitvinding omvat verder een halfgeleiderinrichting verkregen met behulp van een werkwijze volgens de uitvinding.

De uitvinding zal thans nader worden toegelicht aan de hand van een uitvoeringsvoorbeeld en de tekening, waarin:

Fig. 1 t/m 8 schematisch en - met uitzondering van Fig. 2 die een bovenaanzicht toont - in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting tonen in opeenvolgende stadia van de vervaardiging met behulp van een uitvoeringsvorm van een werkwijze volgens de uitvinding, en

Fig. 9 en 10 schematisch en in een bovenaanzicht verschillende configuratie mogelijkheden tonen voor de vervaardiging van een groter aantal halfgeleidereiland en met behulp van een werkwijze volgens de uitvinding.

De figuren zijn niet op schaal getekend en sommige afmetingen, zoals afmetingen in de dikterichting zijn ter wille van de duidelijkheid overdreven weergegeven. Overeenkomstige gebieden of onderdelen zijn in de verschillende figuren zoveel mogelijk van dezelfde arcering of hetzelfde verwijzingscijfer voorzien.

Fig. 1 t/m 8 tonen schematisch en - met uitzondering van Fig. 2 die een bovenaanzicht toont - in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting in opeenvolgende stadia van de vervaardiging met behulp van een uitvoeringsvorm van een werkwijze volgens de uitvinding. Bij de vorming van de inrichting 10 wordt uitgegaan (zie Fig. 1) van een halfgeleiderlichaam 2 en met een substraat 1 dat hier een halfgeleidersubstraat van silicium omvat. Daarop wordt met behulp van epitaxie een

eerste epitaxiale laag 11 aangebracht die een mengkristal van silicium en germanium bevat, daarop wordt een epitaxiale silicium laag 12 aangebracht en daarop weer een epitaxiaal mengkristal laag 8 van silicium en germanium. Het epitaxiale proces wordt beëindigd met de aangroei van een silicium laag 9. Daarop wordt dan een harde masker laag M gedeponeerd
5 bijvoorbeeld van siliciumdioxide. De dikte van de Si-Ge lagen 11 en 8 ligt bijvoorbeeld tussen 1 en 50 nm, terwijl het germanium gehalte van die lagen tussen 10 en 30 at. % bedraagt. De silicium lagen 12 en 9 zijn hier respectievelijk 20 tot 30 nm en ongeveer 2 μm dik.

Vervolgens wordt (zie Fig. 2) de harde masker laag M met behulp van
10 fotolithografie en etsen in patroon gebracht, waarbij de in Fig. 2 gearceerde delen van de masker laag M gespaard blijven. Hierna worden met behulp van etsen twee uitsparingen (zie Fig. 3) in het halfgeleiderlichaam 2 gevormd: een centrale eerste uitsparing 4 die omgeven wordt door een, een gesloten ring vormende, tweede uitsparing 5. De doorsneden van de Fig. 3 t/m 8 zijn genomen volgens de lijn III-III in Fig. 2. Daarbij toont het linker deel van
15 die figuren een deel van het halfgeleiderlichaam 2 rond de centrale uitsparing 4 en het rechter deel van die figuren het deel van het halfgeleiderlichaam 2 rond de tweede uitsparing 5, d.w.z. rond het rechts in Fig. 2 liggend deel daarvan. Het in Fig. 2 links van de centrale uitsparing 4 liggende deel van de tweede uitsparing 5 is in de figuren 3 t/m 8 terwille van de eenvoud weggelaten. Dit weggelaten deel is identiek aan het rechter deel van de figuren 3 t/m
20 8.

De tweede uitsparing 5 heeft de vorm van een groef 5 waarvan de breedte kleiner is dan de laterale afmetingen van de eerste uitsparing 4. In dit voorbeeld worden tegelijkertijd, hier vier, verdere groeven 7 (zie Fig. 2) in het halfgeleiderlichaam 2 gevormd die de tweede uitsparing 5 met de eerste uitsparing 4 verbinden en waarvan de breedte gelijk
25 is aan die van de tweede uitsparing 5.

Vervolgens wordt (zie Fig. 3) over het oppervlak van het halfgeleiderlichaam 2 een diëlectrische laag 6 gedeponeerd hier van siliciumdioxide en met behulp van CVD (= Chemical Vapor Deposition). De dikte van deze laag 6 en de afmetingen van de uitsparingen 4,5,7 zijn zo gekozen dat de eerste uitsparing 4 slechts voorzien wordt van een uniforme bedekking door de laag 6 terwijl de groef 5 (evenals de groeven 7) volledig worden opgevuld door de diëlectrische laag 6.
30

Dan worden (zie Fig. 4) met behulp van een anisotroop etsproces hier een zogenaamd droog/plasma ets proces de vlakke delen van de diëlectrische laag 6 weer

verwijderd. Aldus blijven de wanden van de uitsparing 4 bedekt met de diëlectrische laag 6 terwijl de daarmee gevulde groeven 5 (en 7) daarmee gevuld blijven.

Hierna wordt (zie Fig. 5) met behulp van een ets proces voor silicium, bijvoorbeeld een isotroop natchemisch etsproces, een holte 20 gevormd in de silicium laag 12 5 onder de eerste uitsparing 4 en daaromheen. Daarbij fungeert in dit voorbeeld de Si-Ge laag 11 als een etsstoplaag waardoor de diepte van de holte 20 begrensd wordt. Een geschikt selectief etsmiddel is een warme ammonia oplossing. Dit etsproces wordt dan (zie Fig. 6) 10 bijvoorbeeld zover voorgezet dat de holte 20 lateraal gezien tenminste tot aan de gevulde groef 5 reikt. Aldus wordt binnen de groef 5 een – elektrisch geïsoleerd - halfgeleidereiland 3 gevormd dat in dit voorbeeld delen van de lagen 8,9 omvat en dat begrensd wordt door de isolerende gebieden gevormd door de groef 5 en de delen van de diëlectrische laag 6 die de 15 wanden van de eerste uitsparing 4 bedekken. De holte 20 zelf kan – zoals in dit stadium – met lucht gevuld blijven. Ook vullen met een inert gas zoals stikstof is mogelijk. Een andere mogelijkheid is om de holte 20 te evacueren en af te dichten.

15 De verdere groeven 7 verdelen in dit voorbeeld het eiland 3 in vier deeleilanden 3A (zie Fig. 2) die dus ook elektrisch van elkaar geïsoleerd zijn. De groeven 7 die eveneens met de diëlectrische laag 6 gevuld zijn en die dikker zijn dan de som van de 20 dikten van de lagen 8,9 die het eiland 3 en de deeleilanden 3A vormen, geven aan laatstgenoemden bovendien een zekere stevigheid. Dat laatste kan ook gerealiseerd worden indien de groeven 7 geen volledige verbinding vormen tussen de beide uitsparingen 4,5. De functies van onderlinge elektrische isolatie van de deeleilanden 3A en versteviging van het 25 eiland 3 en de deeleilanden 3A kunnen onafhankelijk van elkaar uitgevoerd worden en behoeven dus niet zoals in dit voorbeeld gelijktijdig uitgevoerd te zijn.

In dit voorbeeld wordt (zie Fig. 7) het etsen van de holte 20 voortgezet met 25 behulp van een etsmiddel dat Si-Ge selectief ets ten opzichte van silicium. Een geschikt selectief etsmiddel is bijvoorbeeld een mengsel van waterstofferfluoride, waterstofperoxide en azijnzuur in een (volume) verhouding van 1:2:3. Aldus worden de aan de holte 20 grenzende delen van de Si-Ge houdende lagen 11,8 verwijderd. Hierdoor worden dus in dit voorbeeld een eiland 3 / deeleilanden 3A gevormd die uitsluitend silicium bevatten. Hierna worden de 30 wanden van de holte 20 bedekt met een dunne diëlectrische laag 30 van bijvoorbeeld siliciumdioxide. Dit kan gerealiseerd worden door een korte thermische oxidatie. In dit voorbeeld wordt de laag 30 gevormd door eerst een dunne polykristallijne silicium laag 30 te deponeren die vervolgens door middel van oxidatie omgezet wordt in een siliciumdioxide houdende laag 30.

Dan wordt (zie Fig. 8) de holte opgevuld met hoog-ohmig polykristallijn silicium 40. In plaats daarvan kan de holte 20 ook opgevuld worden met een zuurstof houdend polykristallijn silicium dat bijvoorbeeld bekend is middels aanduidingen als SIPOS of POLYDOX. Het voordeel van polykristallijn silicium is dat de thermische uitzettingscoëfficiënt daarvan ongeveer gelijk is aan die van monokristallijn silicium.

In een aantrekkelijke variant van de werkwijze volgens de uitvinding van dit voorbeeld wordt het etsen met het etsmiddel dat selectief silicium etst, gestopt in het in Fig. 5 weergegeven stadium, d.w.z. na slechts een geringe laterale onderetsing die echter voldoende groot is om de holte 20 tot aan de Si-Ge laag te laten grenzen. Dan wordt direct overgestapt op het etsen van de Si-Ge laag (zoals in Fig. 9 weergegeven) met behulp van het daartoe geschikte etsmiddel. Op deze manier kan een dieper deel van de holte 20 relatief geringe laterale afmetingen hebben terwijl de gehele holte 20 toch tot aan de groef 5 kan reiken zonder dat de holte 20 zich onnodig ver, d.w.z. tot buiten de groef 5 kan uitbreiden. Bij het opvullen van de holte 20 is in dit geval ook minder materiaal nodig.

De vervaardiging van de inrichting 10 wordt dan voltooid door binnen en/of buiten het eiland 3 / de deeleilanden 3A actieve halfgeleiderelementen te vormen zoals MOS of bipolaire transistoren. Dit gebeurt met op zich zelf in de IC technologie gebruikelijke processen en proces stappen. Uiteraard kan de inrichting 10 voorzien worden van een of meer andere actieve en/of passieve elementen zoals dioden, weerstanden, spoelen en condensatoren. Ook wordt een passend patroon van aansluitgeleiders en/of bondpads gevormd en worden individuele halfgeleiderinrichtingen 10, die een discrete of semi-discrete inrichting 10 of zelfs een IC kunnen omvatten, door middel van separatie technieken zoals zagen verkregen.

Fig. 9 en 10 tonen schematisch en in een bovenaanzicht verschillende configuratie mogelijkheden voor de vervaardiging van een groter aantal halfgeleidereilanden met behulp van een werkwijze volgens de uitvinding. In Fig. 9 is een hexagonale configuratie weergegeven van een aantal combinaties van eerste en tweede uitsparing 4,5,4',5' alsmede verdere groeven 7,7' zoals in het gegeven voorbeeld. De stippellijnen geven de omtrek weer van de gevormde holtes 20,20'. Deze configuratie vormt een soort equivalent van een dichtste bolstapeling en is aantrekkelijk vanwege zijn hoge benuttingsgraad van het halfgeleiderlichaam 2.

Fig. 10 toont een kubische configuratie van meerdere eilanden 3 en deeleilanden 3A zoals in het voorbeeld besproken. In deze, meer praktische configuratie, raken de holtes 20,20' elkaar. Getoond is een array van drie holtes 20,20',20".

De uitvinding is niet beperkt tot het beschreven uitvoeringsvoorbeeld daar voor de vakman binnen het kader van de uitvinding vele variaties en modificaties mogelijk zijn. Zo kunnen inrichtingen vervaardigd worden met een andere geometrie en/of andere afmetingen. Nadrukkelijk wordt opgemerkt dat hier onder eiland ook een schiereiland

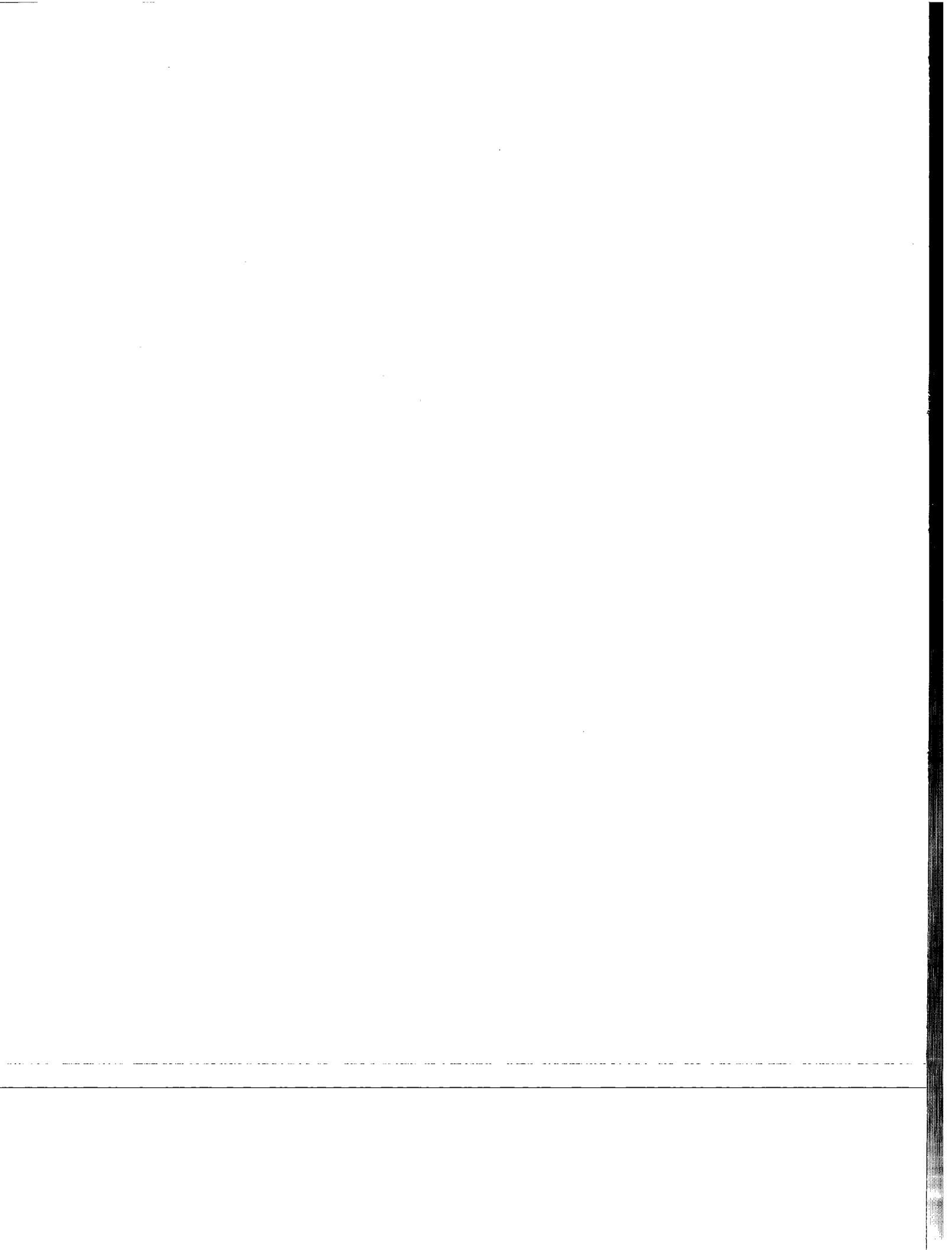
- 5 verstaan wordt. Dat wil zeggen dat er bijvoorbeeld een onderbreking in de tweede uitsparing kan zitten waardoor het eiland (elektrisch) verbonden wordt met het daarbuiten liggende deel van het halfgeleiderlichaam. Ook kan – indien het eiland deeleilanden omvat – voor een of meer van de deeleilanden. Ook de verdere uitsparing / groeven kunnen een of meer onderbreking hebben. Zo kan het eiland (of schiereiland) onderverdeeld zijn in gebieden die
- 10 een meanderende structuur bezitten.

Verder wordt opgemerkt dat de eerste halfgeleiderlaag, die in het voorbeeld Si-Ge bevat, met voordeel kan toegepast worden in halfgeleiderelementen die binnen of buiten het eiland liggen. Indien bijvoorbeeld buiten het eiland een bipolaire transistor gevormd wordt (zoals beschreven in het inleiding genoemde octrooischrift) kan de Si-

- 15 Ge laag daar gebruikt worden om eigenschappen van de bipolaire transistor te verbeteren. Binnen het eiland, waar bijvoorbeeld MOS transistoren gevormd kunnen worden, kan de (mechanische) spanning die gepaard gaat aan de aanwezigheid van een Si-Ge laag gebruikt worden om bijvoorbeeld de mobiliteit te beïnvloeden, bijvoorbeeld in een NMOST wel en in een PMOST niet.

- 20 Opgemerkt wordt dat ook andere materialen dan de bij de voorbeelden genoemde gebruikt kunnen worden binnen het kader van de uitvinding. Ook kunnen andere depositie technieken gebruikt worden voor de genoemde of andere materialen zoals epitaxy, CVD (= Chemical Vapour Deposition), sputteren en opdampen. In plaats van nat-chemische etsmethoden kunnen ook "droge" technieken gebruikt worden zoals plasma etsen en
- 25 omgekeerd.

Tot slot wordt opgemerkt dat de inrichting verdere actieve en passieve halfgeleiderelementen of elektronische componenten kan bevatten zoals een groter aantal dioden en/of transistoren en weerstanden en/of capaciteiten, al dan niet in de vorm van een geïntegreerde schakeling. De vervaardiging wordt daarbij uiteraard doelmatig aangepast.



CONCLUSIES:

1. Werkwijze ter vervaardiging van een halfgeleiderinrichting (10) met een substraat (1) en een halfgeleiderlichaam (2) waarin tenminste een halfgeleiderelement gevormd wordt, waarbij in het halfgeleiderlichaam (2) een halfgeleidereiland (3) gevormd wordt door in het oppervlak van het halfgeleiderlichaam (1) een eerste uitsparing (4) te vormen waarvan de wanden bedekt worden met een diëlectrische laag (6) waarna door middel van onderetsen via de bodem van de eerste uitsparing een lateraal deel van het halfgeleiderlichaam (2) verwijderd wordt onder vorming van een holte (20) in het halfgeleiderlichaam (2) waarboven het halfgeleidereiland (3) gevormd wordt en waarbij een tweede uitsparing (5) in het oppervlak van het halfgeleiderlichaam gevormd wordt waarvan de wanden met een verdere diëlectrische laag bedekt worden en met een van de met de verdere diëlectrische laag bedekte wanden van de tweede uitsparing (5) een zijwand gevormd wordt van het halfgeleidereiland (3), met het kenmerk, dat voor de diëlectrische laag en de verdere diëlectrische laag dezelfde diëlectrische laag (6) gekozen wordt, een laterale afmeting van de tweede uitsparing (5) en de dikte van de diëlectrische laag (6) zodanig gekozen worden dat de tweede uitsparing (5) nagenoeg volledig gevuld wordt door de diëlectrische laag (6) en de laterale afmetingen van de eerste uitsparing (4) zodanig gekozen worden dat door de diëlectrische laag (6) de wanden en de bodem van de eerste uitsparing (4) voorzien worden van een uniforme bedekking.
- 20 2. Werkwijze volgens conclusie 1, met het kenmerk, dat na de vorming van de eerste en tweede uitsparing (4,5) de diëlectrische laag (6) over het gehele oppervlak van het halfgeleiderlichaam (2) wordt aangebracht waarna door middel van anisotroop etsen de vlakke delen van de diëlectrische laag (6) weer worden verwijderd.
- 25 3. Werkwijze volgens conclusie 1 of 2, met het kenmerk, dat de tweede uitsparing (5) gevormd wordt als een de eerste uitsparing (4) omgevende ringvormige groef (5) waarbinnen het halfgeleidereiland (3) gevormd wordt en waarbij de laterale afmeting van tweede uitsparing (5) gevormd wordt door de breedte van de groef (5).

4. Werkwijze volgens conclusie 1, 2 of 3, met het kenmerk, dat voordat de diëlectrische laag (6) wordt aangebracht in het oppervlak van het halfgeleiderlichaam (2) verdere groeven (7) worden gevormd met ongeveer dezelfde breedte als de groef (5) waardoor het halfgeleidereiland (3) wordt opgedeeld in halfgeleiderdeeleilanden (3A).

5

5. Werkwijze volgens conclusie 4, dat de vorm van de groef (5) in projectie gezien vierkant is en de verdere groeven (7) vanuit het midden van de zijden van het vierkant naar de in het centrum gelegen eerste uitsparing (4) gevormd worden.

10 6. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat het halfgeleiderlichaam (2) gevormd wordt door een halfgeidersubstraat (1) waarop twee halfgeleiderlagen (8,9) van een verschillend halfgeleidermateriaal zijn aangebracht.

15 7. Werkwijze, volgens conclusie 6, met het kenmerk, dat op een siliciumsubstraat (1) een eerste halfgeleiderlaag (8) van een mengkristal van silicium en germanium wordt aangebracht en daarop een tweede halfgeleiderlaag (9) van silicium.

20 8. Werkwijze volgens conclusie 6 of 7, met het kenmerk, dat bij de vorming van de holte (20) in het halfgeleiderlichaam (2) gebruik gemaakt wordt van een etsmiddel voor silicium dat selectief is ten opzichte van het halfgeleidermateriaal van de eerste halfgeleiderlaag (8).

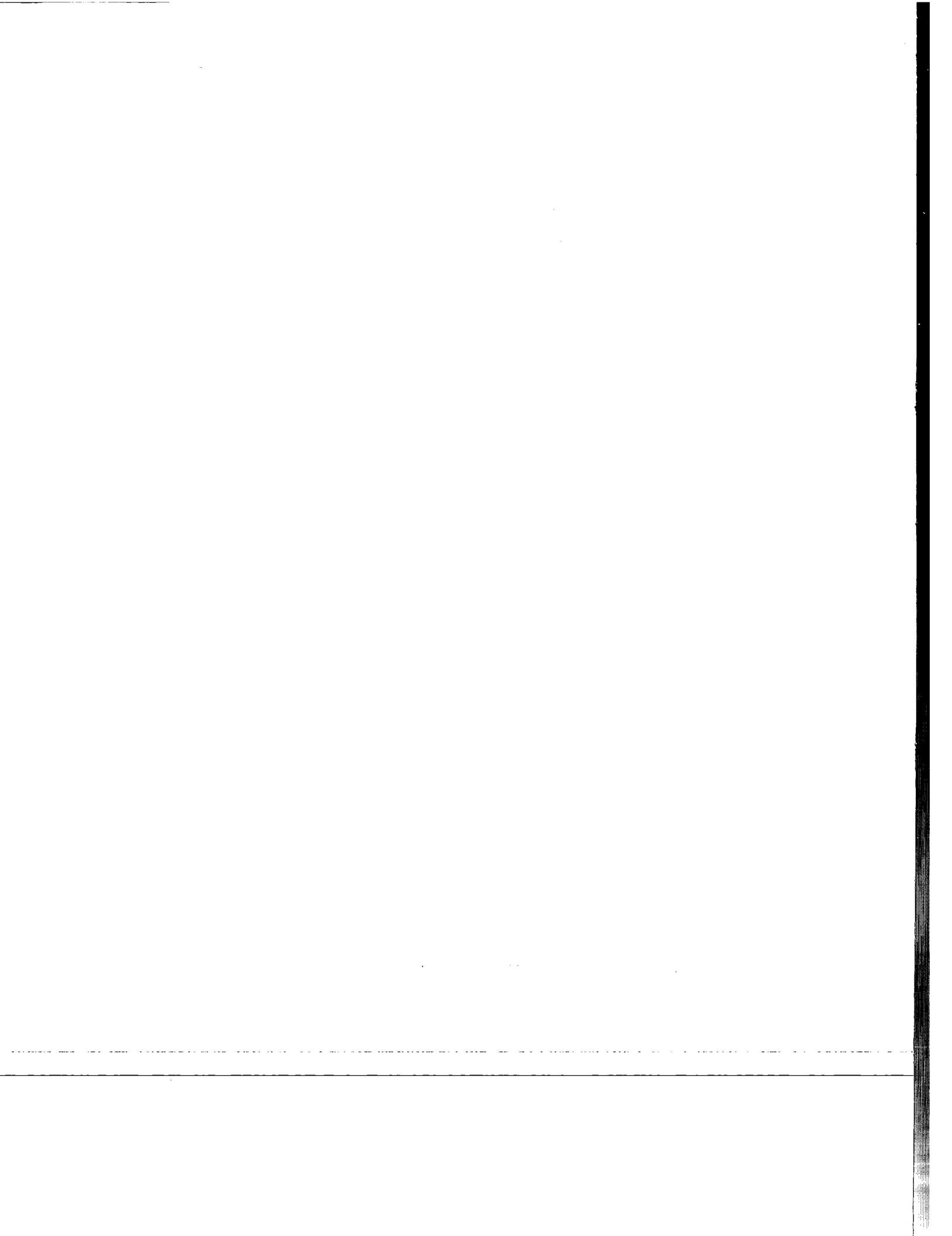
25 9. Werkwijze volgens conclusie 8, met het kenmerk, dat na de vorming van de holte (20) de eerste halfgeleiderlaag (8) verwijderd wordt met behulp van een etsmiddel dat selectief is ten opzichte van het halfgeleidermateriaal van de tweede halfgeleiderlaag (9).

30 10. Werkwijze volgens conclusie 8 of 9, met het kenmerk, dat bij de vorming van de holte (20) het etsen van silicium gestaakt wordt zodra de holte (20) de eerste halfgeleiderlaag (8) bereikt heeft waarna deze selectief verwijderd wordt.

30

11. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk dat een laterale afmeting van de holte (20) zo groot gekozen wordt dat de holte (20) zich in het halfgeleiderlichaam (2) in die laterale richting uitstrekkt tot aan of voorbij de tweede uitsparing (5).

12. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat in het halfgeleiderlichaam (2) een verdere laag (11) gevormd wordt van een ander halfgeleidermateriaal dan het daarboven liggende deel (12) van het halfgeleiderlichaam (2) waarin de holte (20) gevormd wordt.
- 5
13. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat na de vorming van de holte (20) de wanden daarvan bedekt worden met een andere diëlectrische laag (30).
- 10
14. Werkwijze volgens een der voorafgaande conclusies, met het kenmerk, dat na de vorming van de holte (20) deze gevuld wordt met een bij voorkeur hoogohmig materiaal (40).
15. 15. Werkwijze volgens conclusie 13, met het kenmerk, dat de holte (20) gevuld wordt met polykristallijn silicium.
16. Halfgeleiderinrichting verkregen met behulp van een werkwijze volgens een der voorafgaande conclusies.

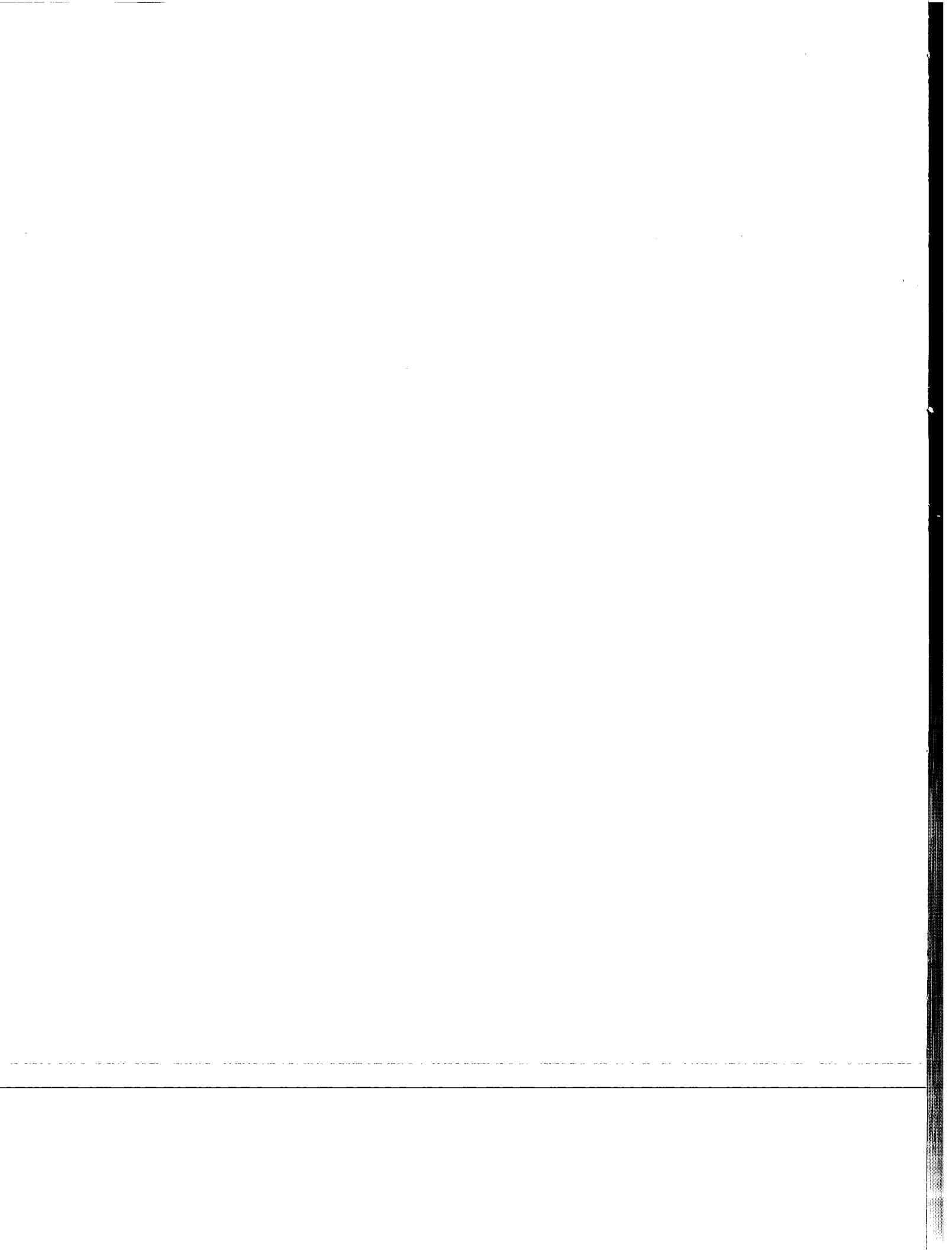


ABSTRACT:

The invention relates to a method of manufacturing a semiconductor device with a substrate (1) and a semiconductor body (2) in which at least one semiconductor element is formed, whereby in the semiconductor body (2) a semiconductor island (3) is formed by forming in the surface of the semiconductor body (2) a first cavity (4) of which the
5 walls are covered with a first dielectric layer (6), after which by means of under-etching through the bottom of the cavity (4) a lateral part of the semiconductor body (2) is removed under formation of a cavity (20) in the semiconductor body (2) above which the semiconductor island (3) is formed and whereby a second cavity (5) is formed in the surface of the semiconductor body (2) of which the walls are covered with a second dielectric layer
10 and with one of the walls covered with the second dielectric layer a side-wall of the semiconductor island (3) is formed.

According to the invention for the first and second dielectric layers the same dielectric layer (6) is chosen, a lateral size of the second cavity (5) and the thickness of the dielectric layer (6) are chosen such that the second cavity (5) becomes nearly completely
15 filled by the dielectric layer (6) and the lateral sizes of the first cavity (4) are chosen such that by the dielectric layer (6) the walls and the bottom of the first cavity (4) are provided with a uniform coating. In this way, a semiconductor island (3) which is isolated from its environment can be made with a minimum of (masking) steps.

20 Fig. 2



1/5

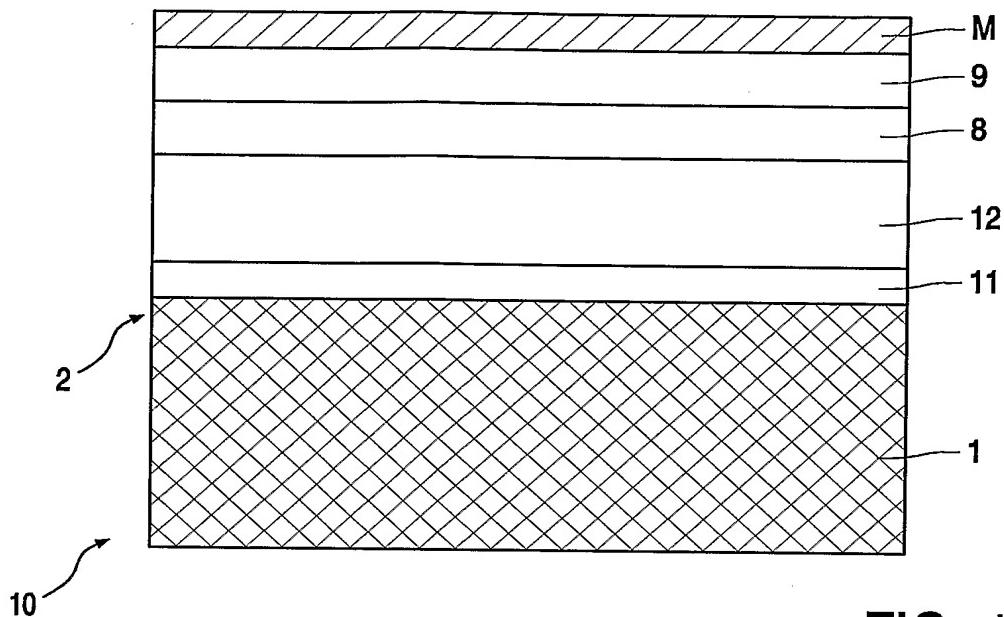


FIG. 1

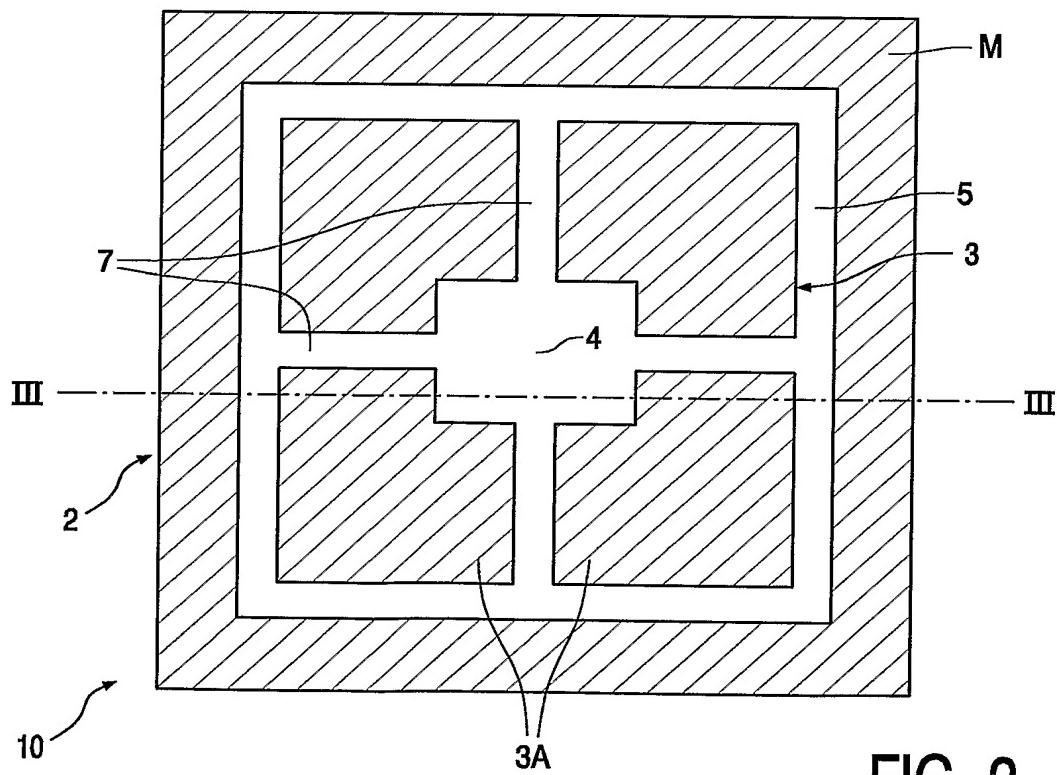


FIG. 2

2/5

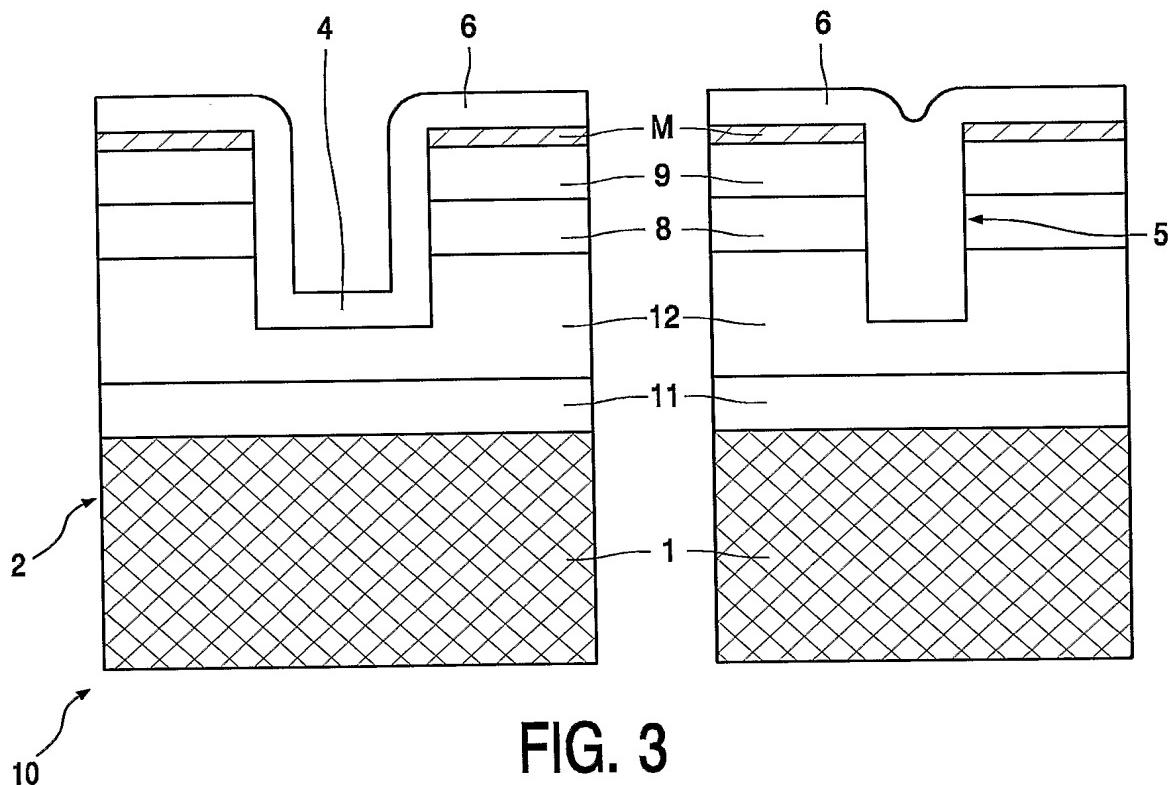


FIG. 3

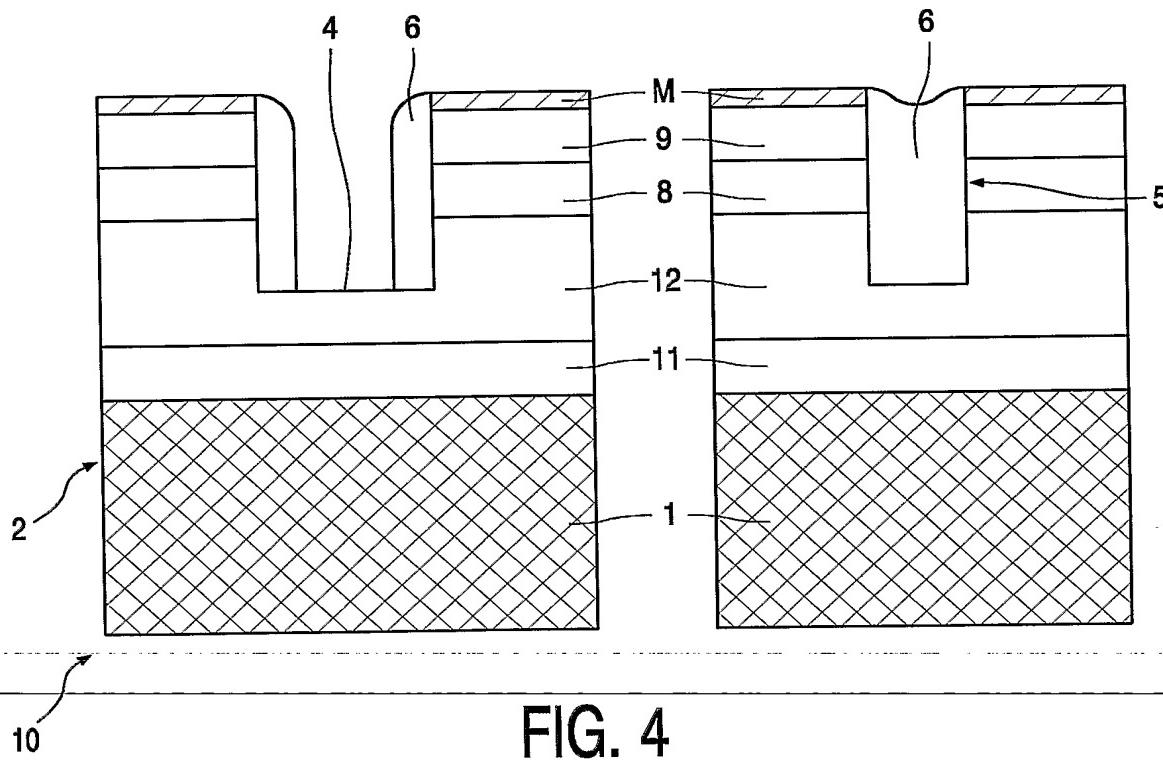
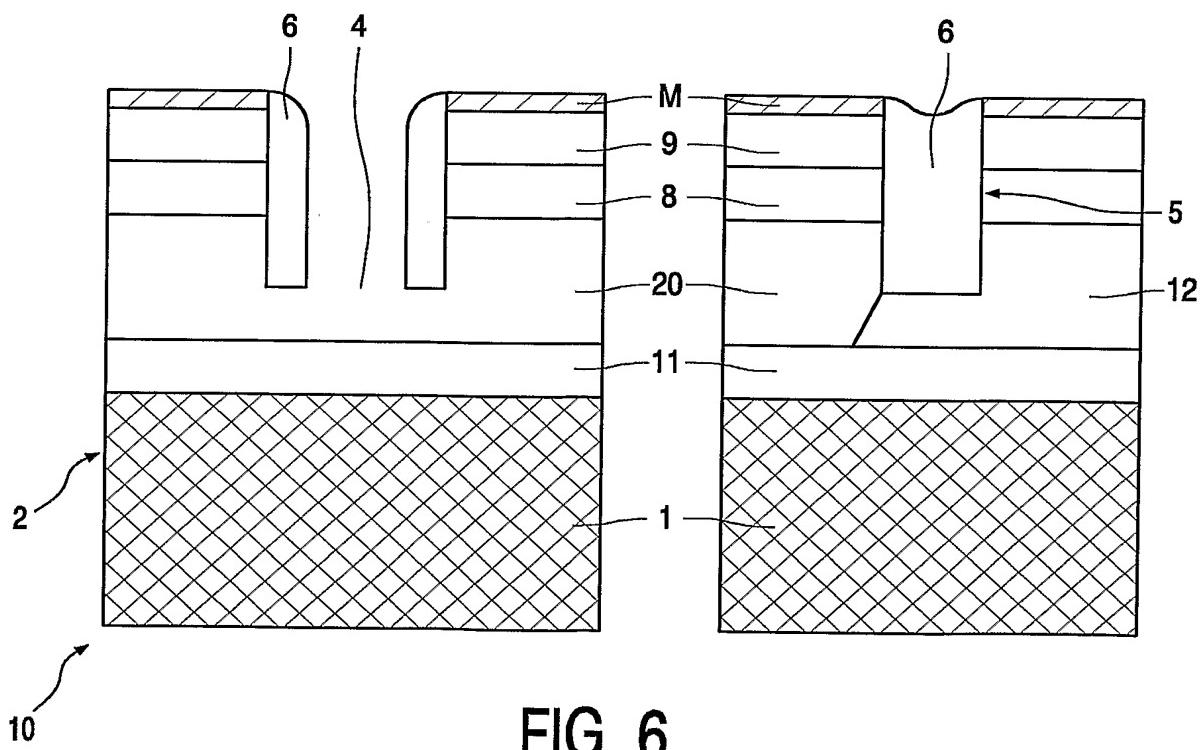
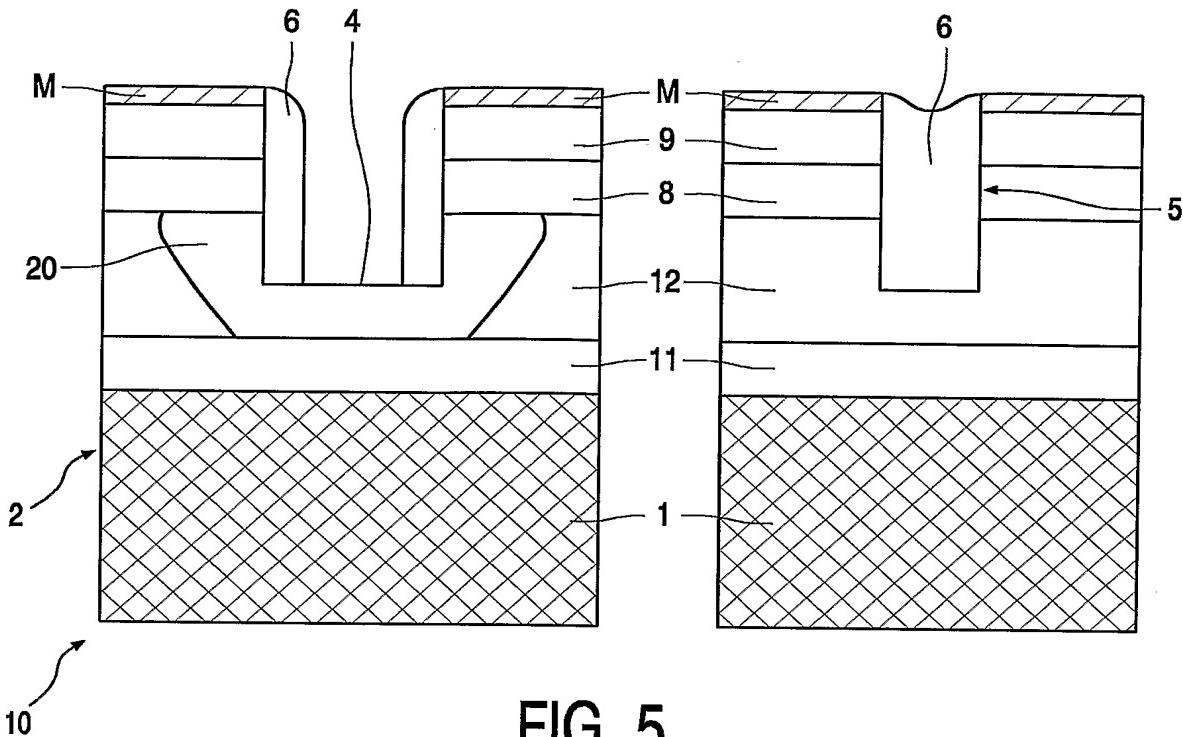
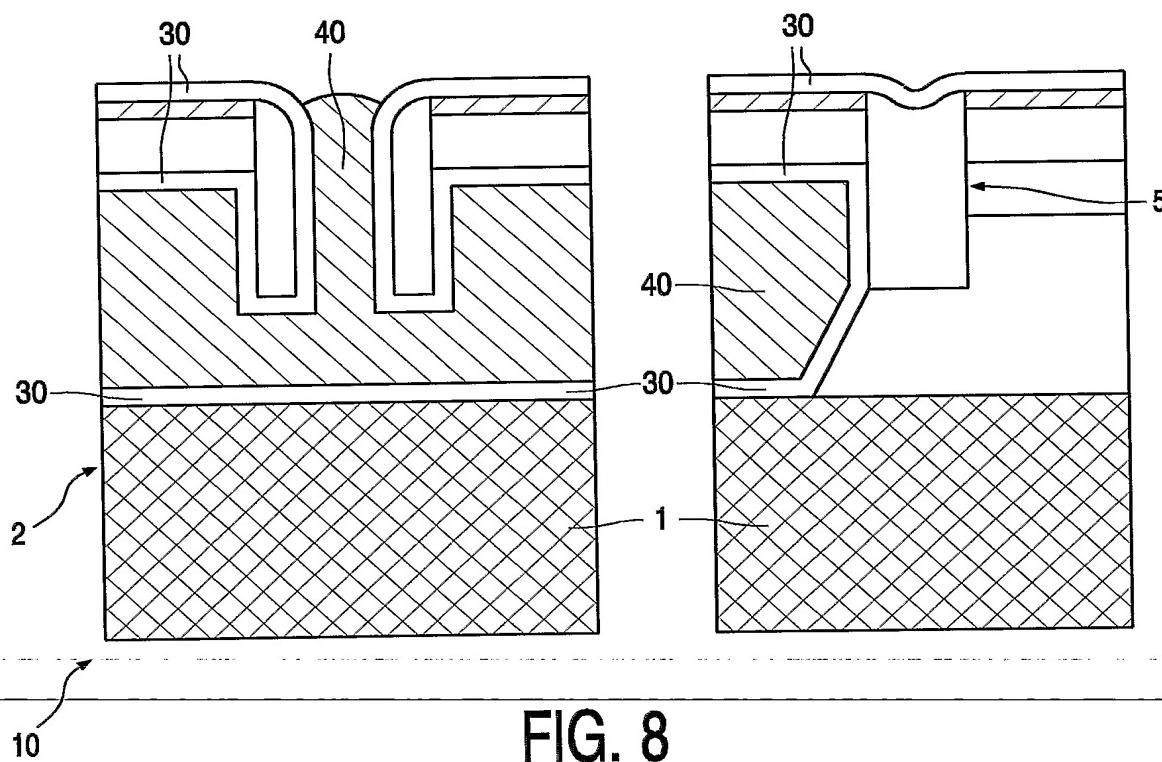
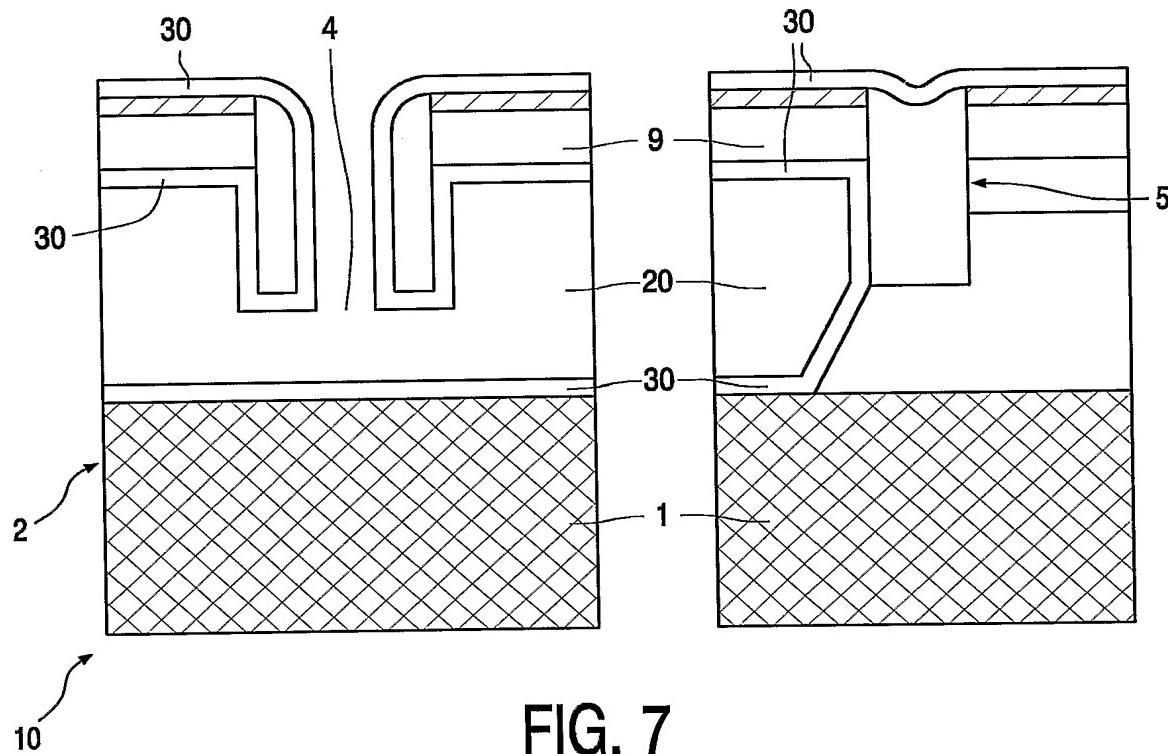


FIG. 4

3/5



4/5



5/5

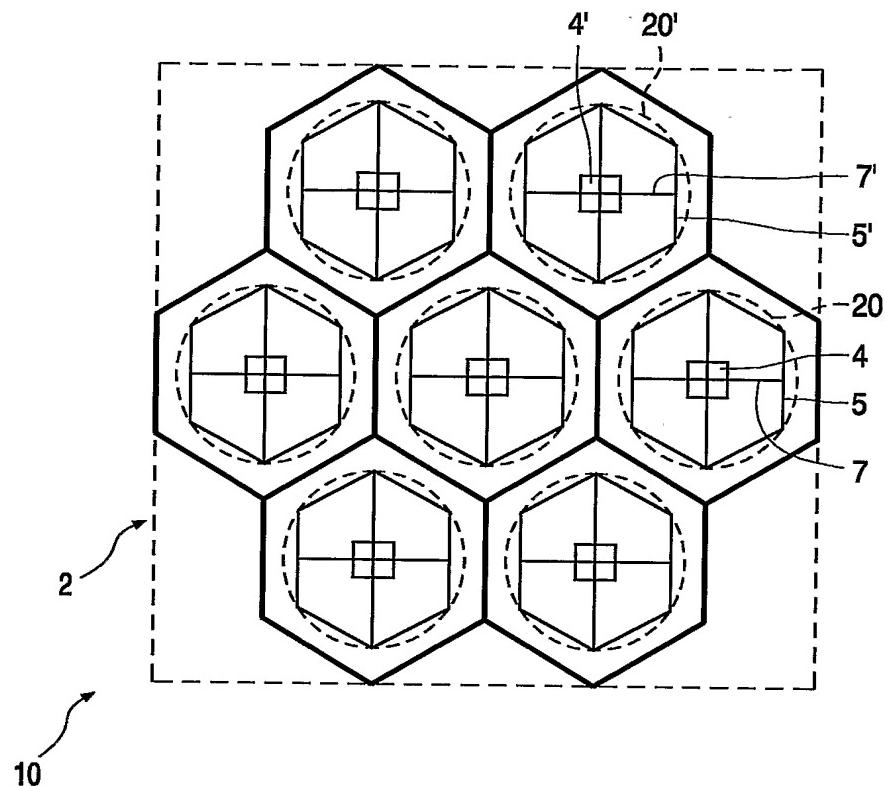


FIG. 9

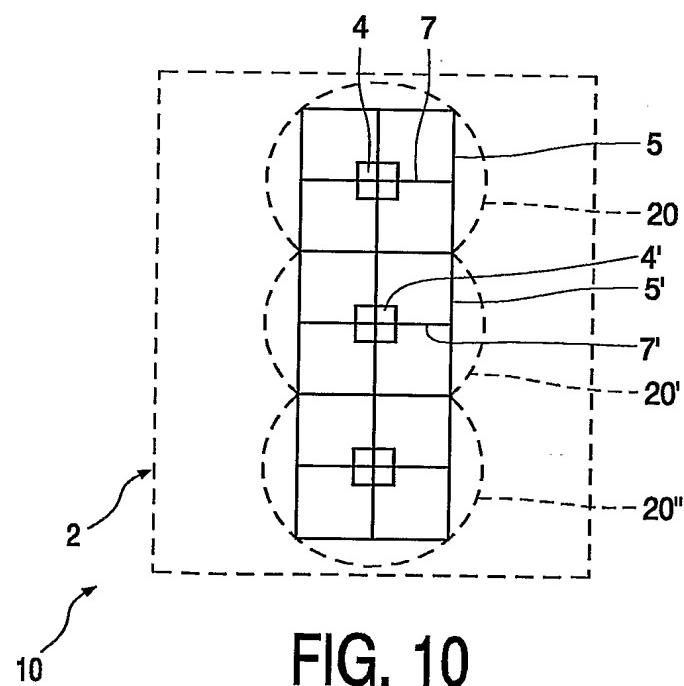


FIG. 10

PCT/IB2005/050883

